

文章编号:1007-2780(2017)05-0344-08

绝缘层材料及结构对薄膜晶体管性能的影响

李欣予^{1,2}, 王若铮^{1,2}, 吴胜利^{1,2*}, 李尊朝^{1,2}

(1.西安交通大学 电子物理与器件教育部重点实验室, 陕西 西安 710049;

2.西安交通大学 微电子学院, 陕西 西安 710049)

摘要:基于半导体仿真软件 Silvaco TCAD 对薄膜晶体管(TFT)进行器件仿真,并结合实验验证,重点分析不同绝缘层材料及结构对 TFT 器件性能的影响。仿真及实验所用薄膜晶体管为底栅电极结构,沟道层采用非晶 IGZO 材料,绝缘层采用 SiN_x 和 HfO_2 多种不同组合的叠层结构。仿真及实验结果表明:含有高 k 材料的栅绝缘层叠层结构较单一 SiN_x 绝缘层结构的 TFT 性能更优;对 $\text{SiN}_x/\text{HfO}_2/\text{SiN}_x$ 栅绝缘层叠层结构 TFT, HfO_2 取 40 nm 较为合适;对含有高 k 材料的 3 层和 5 层绝缘层叠层结构 TFT,各叠层厚度相同的对称结构 TFT 性能最优。本文通过仿真获得了 TFT 性能较优的器件结构参数,对实际制备 TFT 器件具有指导作用。

关键词:半导体器件仿真;薄膜晶体管;绝缘层;氮化硅;二氧化铪;叠层结构

中图分类号: 文献标识码:A **doi:**10.3788/YJYXS20173205.0344

Effect of insulating layer material and structure on performance of thin film transistors

LI Xin-yu^{1,2}, WANG Ruo-zheng^{1,2}, WU Sheng-li^{1,2*}, LI Zun-chao^{1,2}

(1.Key Laboratory for Electronic Physics and Devices of the Ministry of Education of China, Xi'an Jiaotong University, Xi'an 710049, China;

2.School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: The paper focuses on analyzing the performance of thin film transistors with different insulation material and different insulation layer structures, based on semiconductor simulation software Silvaco TCAD and combined with experimental validation. The research model is based on the bottom grid structure, and the semiconductor layer is made of amorphous IGZO material. The insulation layer is made of different combinations of SiN_x and HfO_2 with overlapping structure. The simulation and experiment results show that the performance of transistors with high-k overlapping insulation layer structure is better than transistors with single SiN_x layer. For $\text{SiN}_x/\text{HfO}_2/\text{SiN}_x$ structure, 40 nm-thickness HfO_2 is more appropriate. For transistors with 3 or 5 insulation layers containing high-k materials, the symmetric structure with the same thickness for each layer is the best. The device structure parameters of TFT obtained by simulation can guide the actual production of TFT devices.

收稿日期:2016-11-08;修订日期:2017-01-06.

基金项目:国家自然科学基金项目(No.51271140; No.61275023)

Supported by National Natural Science Foundation of China(No.51271140; No.61275023)

* 通信联系人, E-mail:slwu@mail.xjtu.edu.cn

Key words: semiconductor device simulation; thin film transistor; insulation layer; SiN_x ; HfO_2 ; overlapping structure

1 引言

薄膜晶体管 (Thin-film transistor, 简称 TFT) 是场效应晶体管的一种, 在过去的十几年里已经成为平板显示行业的核心部件, 以 TFT-LCD、2T1C-OLED 为代表的 TFT 器件的新型平板显示产业发展迅猛^[1]。随着 TFT 器件尺寸越来越小, 为保证栅对沟道有很好的控制, 栅氧化层厚度需要减薄到一定厚度, 栅氧化层过薄会产生多种问题, 其中最显著的问题就是电子因为隧穿效应穿越栅氧化层使器件漏电流增大, 器件可靠性降低, 增大了电路静态功耗, 并影响器件的 I - V 特性和阈值电压^[2]。因此需要优化栅氧化层的设计 (包括栅氧化层的材料和厚度) 来改进器件性能。克服这种限制的有效方法之一是采用高介电常数的新型绝缘介质材料 (简称高 k 材料)。高 k 材料能够保持等效氧化层厚度不变的情况下, 增加栅介质层的实际物理厚度^[3]。因此, 采用高 k 材料作为 TFT 的绝缘层材料可以使直接隧穿电流减小, 器件可靠性提高。近十年来 HfO_2 、 Ta_2O_5 、 ZrO_2 等高 k 介质材料成为了相关研究的热点。但高 k 材料也有一些缺陷, 例如 HfO_2 是非晶态的, 存在很多氧空位, 易形成纵向漏电流的通道, 并且与有源层等接触的界面态不是很稳定^[4-5], 而传统的 SiN_x 绝缘层绝缘性较好并且界

面态稳定, 综合以上这些因素, 本文采用 SiN_x 和 HfO_2 多种不同组合相互交替的叠层结构作为绝缘层, 以期在保持 HfO_2 高介电常数的优势的同时, 又能获得良好的界面态和器件绝缘性。论文基于半导体仿真软件 Silvaco TCAD 对采用上述绝缘层结构的薄膜晶体管进行器件仿真, 并结合实验验证, 来研究分析不同绝缘层材料及构造等对 TFT 器件性能的影响。

2 Silvaco TCAD 简介及仿真流程

本文侧重器件仿真研究, 相较于单纯通过实验摸索较优的 TFT 器件结构和参数, 实验前进行仿真对于实际制备器件具有预测指导作用。仿真采用半导体仿真软件 Silvaco TCAD, 该软件集 Atlas、DeckBuild、MixedMode、Tonyplot 等多个模块为一体, 可以进行器件工艺仿真、器件性能仿真以及器件电路混合仿真等工作。Silvaco 仿真功能如图 1 所示。首先生成结构文件或者在 ATLAS 器件仿真器中直接生成器件结构, 在 DeckBuild 实时运行环境中生成命令文件, 然后在 ATLAS 中运行仿真, 结果输出主要分为以下几个部分, 一部分是在实时运行环境界面中的实时输出, 而另外的日志文件和解答文件由可视化工具 Tonyplot 显示出来。Tonyplot 可以将显示结果导出图片, 也可导出成数据文件, 以便将仿真

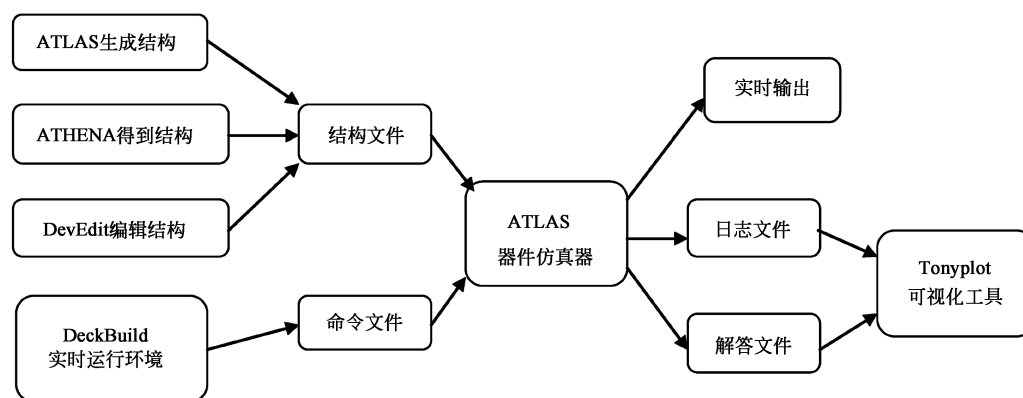


图1 Silvaco 仿真功能介绍图

Fig.1 Diagram of Silvaco simulation introduction

的结果数据采用其他绘图软件进行处理^[6]。

本文基于物理模型的 TFT 器件仿真主要是利用 ATLAS 模块进行的,重点仿真 TFT 的电学行为。ATLAS 是通过编写程序文件来仿真运行的,输入文件要编写一系列的状态参量,仿真语法由一系列声明(Statements)组成,即每一个参量都有对应的关键词。ATLAS 器件仿真程序编写流程如图 2 所示。

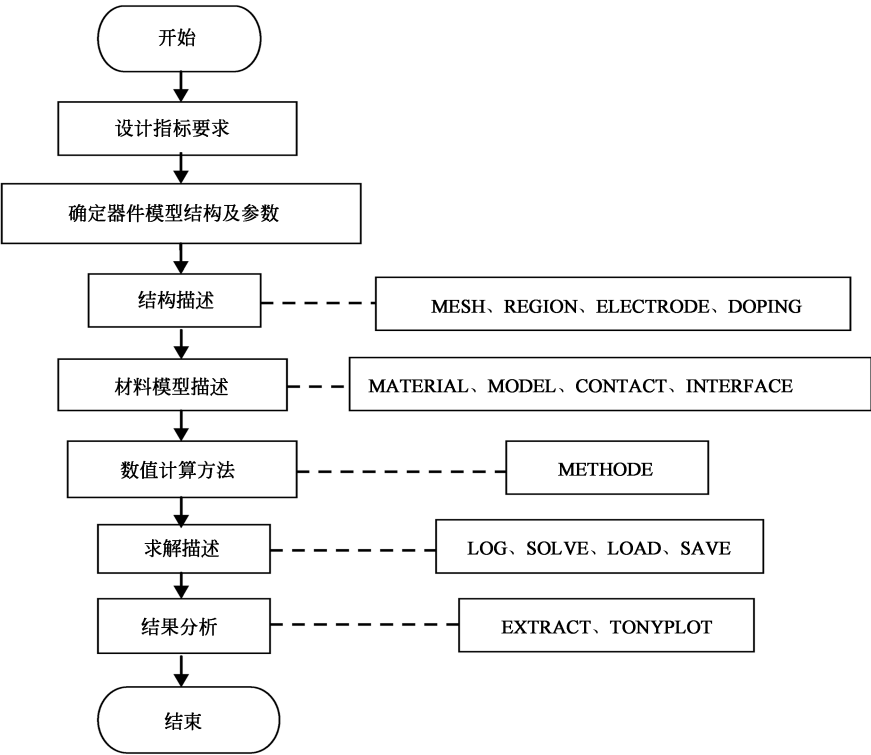


图 2 ATLAS 器件仿真程序编写流程图

Fig.2 Flow chart of ATLAS device simulation program

3 实验制备流程

为了验证仿真结果,对部分结构的 TFT 进行了相关的实验验证,并与仿真结果进行了比较。仿真和实验研究中的 TFT 采用底栅电极结构,沟道层采用非晶 IGZO 材料,绝缘层采用 SiN_x 和 HfO₂ 多种不同组合的叠层结构。在此,以 SiN_x/HfO₂/SiN_x 绝缘层结构的 IGZO TFT 为例,简述其实验制备流程。实验中采用 ITO 玻璃作为基底和底栅,首先在清洗干净的 ITO 玻璃上沉积绝缘层,其过程为利用等离子体增强化学气相沉积法 (Plasma Enhanced Chemical Vapor Deposition, 简称 PECVD) 制备一层 SiN_x 薄膜,在其上利用磁控溅射法制备一层 HfO₂ 薄膜,再采用 PECVD 法制备一层 SiN_x 薄膜;制备完绝缘

层后利用磁控溅射法制备 IGZO 薄膜,并通过光刻 IGZO 薄膜形成具有特定宽长比的 TFT;接下来进行器件电极的制备,先光刻出源漏极形状后利用磁控溅射法制备 Ti 薄膜,通过去除光刻胶形成电极;最后进行器件测试。

4 结果和分析

在 TFT 器件仿真及实验中,通过改变 TFT 绝缘层材料、结构,得出器件的电学特性曲线,提取计算出特性参数,总结材料和结构对 TFT 性能影响的规律。仿真及实验中漏极电压 5 V,栅极电压从 0 V 增大到 30 V,根据器件仿真及实验得出的转移特性曲线分别计算出阈值电压 V_{th},饱和迁移率 μ,开态电流 I_{on},关态电流 I_{off},开关电流比 I_{on}/I_{off},亚阈值摆幅 S,及栅氧化层

电容。

4.1 氮化硅和氧化铪复合绝缘层结构对 TFT 性能的提升

首先探究绝缘层采用氮化硅和氧化铪的复合结构对于器件性能的提升效果。采用 3 组不同绝缘层材料和结构的 TFT 进行对比分析。3 组 TFT 的沟道层均为 50 nm 的 IGZO, 宽长比 $W:L=100:50$, 绝缘层总厚度为 150 nm, 但是材料和结构不同, 分别编号为器件 I、II 和 III。通过 Silvaco TCAD 的 Tonyplot 组件可以读取仿真结果的结构文件, 结构剖面图如图 3、图 4、图 5 所示。

对以上 3 种结构的器件利用 ATLAS 组件仿真器件的电学行为, 并实验制备与仿真中设置的材料以及结构相同的器件, 将仿真和实验得到的结果进行对比分析。结果见表 1。

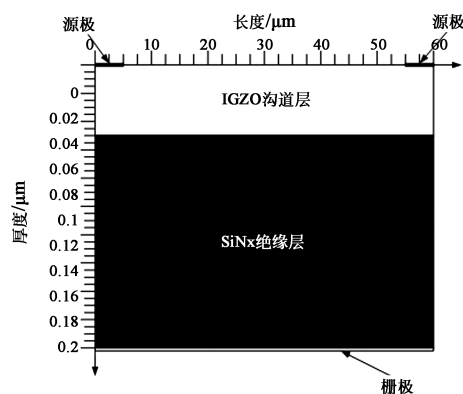


图3 绝缘层为 150 nm SiN_x 的 TFT 结构图(I)

Fig.3 Diagram of the TFT structure with the 150 nm SiN_x insulation layer(I)

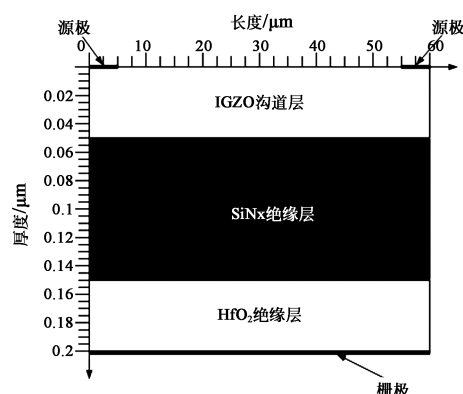


图4 绝缘层为 SiN_x 100 nm/HfO₂ 50 nm 的 TFT 结构图(II)

Fig.4 Diagram of the TFT structure with the SiN_x 100 nm/HfO₂ 50 nm insulation layer(II)

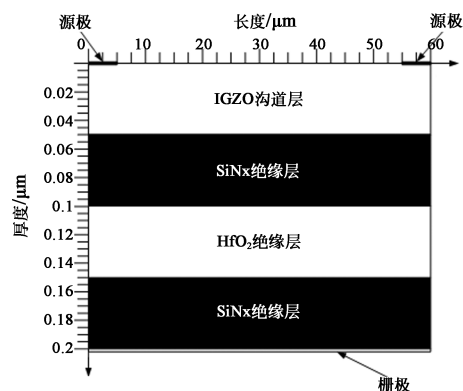


图5 绝缘层为 SiN_x 50 nm/HfO₂ 50nm/SiN_x 50nm 的 TFT 结构图(III)

Fig.5 Diagram of the TFT structure with the SiN_x 50nm/HfO₂ 50 nm/SiN_x 50 nm insulation layer (III)

表1 不同栅绝缘层材料和结构下的 TFT 仿真及实验结果

Tab.1 Simulation and experimental results of transistors with different gate insulation materials and structures

	sample	V_{th}/V	$\mu/(cm^2 \cdot V^{-1} \cdot s^{-1})$	$I_{on}(\mu A)$	$I_{off}(\mu A)$	I_{on}/I_{off}	$S(V/^\circ)$	$C_{ox}/(F \cdot cm^{-2})$
仿真	I	4.785	5.8809	158.881	7.84e-5	2.027e6	0.2285	1.31e-8
	II	4.383	5.4691	207.607	8.25e-5	2.516e6	0.0975	1.68e-8
	III	4.398	5.4566	208.246	8.33e-5	2.499e6	0.0135	1.68e-8
实验	I	4.403	5.4451	58.6368	4.45e-4	1.318e5	0.4128	4.43e-8
	II	4.055	6.1020	272.409	6.40e-5	4.256e6	0.3059	6.63e-8
	III	3.913	4.1681	188.118	3.66e-5	5.140e6	0.2732	6.63e-8

从表 1 可以看出, 仿真与实验结果规律上一致, 栅氧化层电容可以由下式求解

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}}, \quad (1)$$

式中: C_{ox} 为栅氧化层电容, t_{ox} 为绝缘层厚度; ϵ_0 为真空介电常数, 其大小为 $8.85 \times 10^{-12} \text{ F/m}$; ϵ_{ox} 是栅绝缘层的相对介电常数, 氮化硅和氧化铪复合结构绝缘层的介电常数的计算模型采用二组分混合系统相对介电常数计算模型的一般公式

$$\epsilon_r = x_1^2 \epsilon_{r1} + x_2^2 \epsilon_{r2} + 4 x_1 x_2 \frac{\epsilon_{r1} \epsilon_{r2}}{\epsilon_{r1} + \epsilon_{r2}}, \quad (2)$$

进行计算^[7]。可以发现绝缘层总厚度相同时, 采用氮化硅和氧化铪复合结构的 TFT 栅氧化层电容 C_{ox} 较用纯氮化硅作为绝缘层的 TFT 更大, 即栅对沟道的控制能力更强。器件 II 和 III 的阈值电压比 I 号器件有所下降, 降低了大概 0.4 V, 这可以从如下的阈值电压表达式予以解释,

$$V_{TN} = \frac{|Q_{SD}(\max)|}{C_{ox}} + V_{FB} + 2\phi_f, \quad (3)$$

式中: $Q_{SD}(\max)$ 为最大耗尽层单位面积空间电荷密度, C_{ox} 为栅氧化层电容, 由公式(1)求解, V_{FB} 为平带电压, ϕ_f 为表面电势。器件 II 和 III 的 C_{ox} 较于 I 大, 从公式(3)可以得出 C_{ox} 越大, V_{TN} 越小, 所以加入高 k 材料的叠层结构栅绝缘层的 TFT 阈值电压有所降低。影响迁移率的主要因素有绝缘层材料、缺陷态密度、绝缘层的表面形貌及界面态。HfO₂ 是非晶态, 内部存在很多氧空位, 缺陷较多, 并且界面态不稳定, 所以含有高 k 材料的 TFT 迁移率总体来看有一些降低。开态电流 I_{on} 即电流达到饱和状态的值, 开态电流可以由沟道电流在饱和区的理想电流-电压关系^[8]来计算得到,

$$I_D(\text{sat}) = \frac{W \mu_n C_{ox}}{2L} (V_{GS} - V_T)^2. \quad (4)$$

因为含有高 k 材料的 TFT 器件 C_{ox} 较大并且 V_T 较小, 所以开态电流 I_{on} 较大。而关态电流 I_{off} 差别很小, 所以器件 II 和 III 的开关电流比就比较大。亚阈值摆幅表示由关到开时电流的变化速度, 反映器件在关态与开态间切换所需的电压跨度, 绝缘层为 SiN_x 的 TFT 亚阈值摆幅较大, 这是因为相同厚度的 SiN_x 较 HfO₂ 绝缘性更好, 在栅压下感应出的自由电荷较少, 所以增大栅极电压时, 电流的增大速度会较慢。

该组仿真及实验结果表明, 与采用相同厚度的单一 SiN_x 绝缘层的 TFT 相比, 采用 SiN_x 和 HfO₂ 叠层绝缘层结构的 TFT 器件性能得到明显提升。

4.2 HfO₂ 厚度对 TFT 性能的影响

针对绝缘层为 SiN_x/HfO₂/SiN_x 叠层结构的 TFT, 选取沟道层为 50 nm 的 IGZO, 沟道宽长比为 $W:L=200:50$, 两层 SiN_x 厚度均为 50 nm,

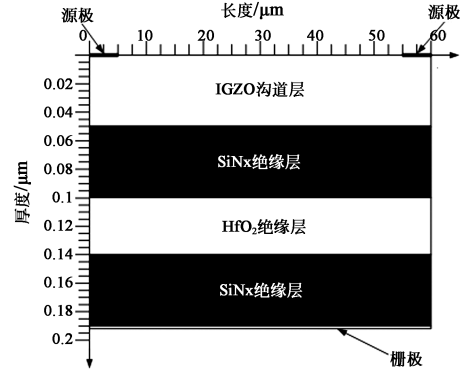


图 6 HfO₂ 为 40 nm 的 TFT 结构图

Fig.6 Diagram of the TFT structure with 40 nm-thickness HfO₂

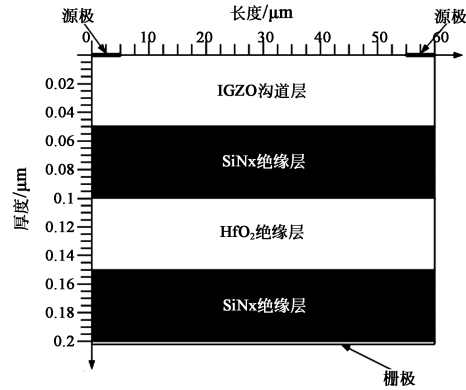


图 7 HfO₂ 为 50 nm 的 TFT 结构图

Fig.7 Diagram of the TFT structure with 50 nm-thickness HfO₂

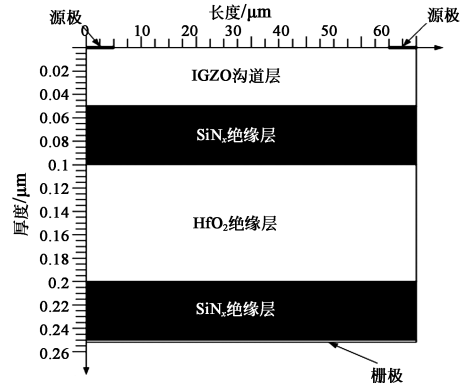


图 8 HfO₂ 为 100nm 的 TFT 结构图

Fig.8 Diagram of the TFT structure with 100nm-thickness HfO₂

在 HfO_2 厚度分别为 40 nm、50 nm 和 100 nm 的条件下,仿真研究 HfO_2 厚度对 TFT 性能的影响。通过 Silvaco TCAD 的 Tonyplot 组件可以读取仿真结果的结构文件,结构剖面图如图 6、7、8 所示。

对以下 3 种结构的器件利用 ATLAS 组件仿真器件的电学行为,并实验制备与仿真中设置的材料以及结构相同的器件,将仿真和实验得到的结果进行对比分析。结果见表 2。

表 2 不同栅绝缘层厚度下的 TFT 仿真及实验结果

Tab.2 Simulation and experimental results of transistors with different gate insulation thickness

HfO ₂	厚度/nm	V _{th} /V	$\mu(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1})$	I _{on} /μA	I _{off} /μA	I _{on} /I _{off}	S(V/°)	C _{ox} (F · cm ⁻²)
仿真	40	4.138	6.0477	262.149	9.19e-5	2.853e6	0.0913	3.42e-8
	50	4.170	5.4665	253.757	1.67e-4	1.520e6	0.0975	3.32e-8
	100	4.327	3.6787	218.867	1.35e-3	1.621e5	0.1485	2.89e-8
实验	40	3.913	3.9496	204.611	7.91e-5	2.587e6	0.4449	6.69e-8
	50	5.796	3.8855	126.872	8.19e-5	1.549e6	0.3697	6.63e-8
	100	4.719	3.2874	170.400	1.96e-4	8.694e5	0.3979	6.12e-8

从上表 2 可以看出实验和仿真结果基本一致,对 $\text{SiN}_x/\text{HfO}_2/\text{SiN}_x$ 栅绝缘层叠层结构,随着高 k 材料 HfO_2 厚度的增加,TFT 的阈值电压 V_{th} 增加,载流子迁移率 μ 下降,开关电流比 I_{on}/I_{off} 减小,亚阈值摆幅 S 增加,栅电容 C_{ox} 减小。随着绝缘层厚度的增加,绝缘层的耦合能力降低,在栅电压下感应出的电荷数量减少,就需要较大的栅电压才能形成导电沟道^[9],从而使阈值电压 V_{th} 随绝缘层厚度增加而增加。同时绝缘层耦合能力的降低,器件的亚阈值摆幅略有增加,而开态电流减小,关态电流增加,因此器件的开关电流比下降。器件的载流子迁移率减小主要是考虑 HfO_2 的界面态不稳定、缺陷比较多, HfO_2 的增厚使得绝缘层表面形貌劣化、界面态更严重。

4.3 不同 SiN_x 及 HfO_2 叠层结构对 TFT 性能的影响

前面两部分仿真和实验对比的结果一致性好,说明采用 Silvaco TCAD 进行仿真的方法是可靠有效的。为此,利用前面的仿真方法就不同构造绝缘层对 TFT 性能的影响进行探究,以期对实际制备器件时 TFT 结构、材料及绝缘层厚度的选取提供指导。TFT 的绝缘层采用 SiN_x 和 HfO_2 的多种不同叠层结构,图 9 是 SiN_x 100 nm/ HfO_2 50 nm 组成的双层结构,保持 SiN_x 100 nm 和 HfO_2 50 nm 的总厚度不变,图 10 中绝缘层设计为 SiN_x 50 nm/ HfO_2 50 nm/ SiN_x 50 nm 的三层对称结构,图 11 中绝缘层设计为 SiN_x 70 nm/ HfO_2 50 nm/ SiN_x 30 nm 的三层

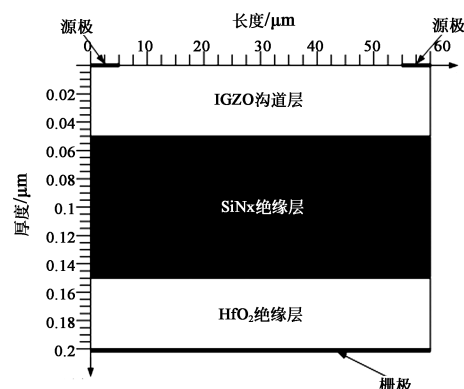


图 9 绝缘层为 SiN_x 100 nm/ HfO_2 50 nm 的 TFT 结构图(Ⅱ)

Fig.9 Diagram of the TFT structure with the SiN_x 100 nm/ HfO_2 50 nm insulation layer (Ⅱ)

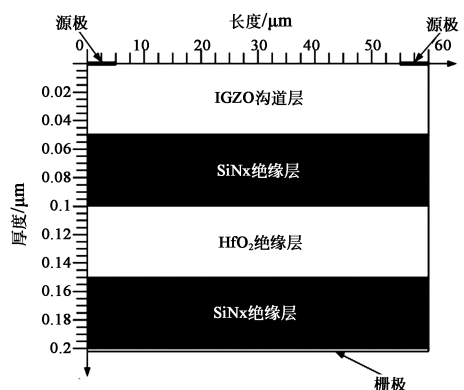


图 10 绝缘层为 SiN_x 50 nm/ HfO_2 50 nm/ SiN_x 50 nm 的 TFT 结构图(Ⅲ)

Fig.10 Diagram of the TFT structure with the SiN_x 50 nm/ HfO_2 50 nm/ SiN_x 50 nm insulation layer (Ⅲ)

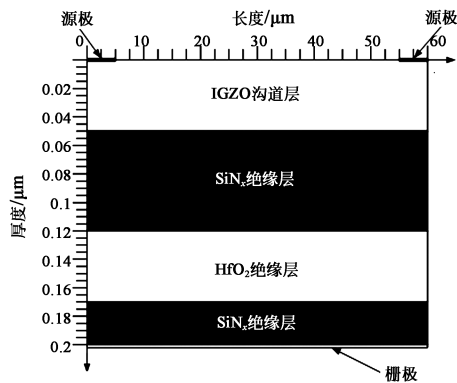


图 11 绝缘层为 SiN_x 70 nm/HfO₂ 50 nm/SiN_x 30 nm 的 TFT 结构图 (IV)

Fig.12 Diagram of the TFT structure with the SiN_x 70 nm/HfO₂ 50 nm/SiN_x 30 nm insulation layer (IV)

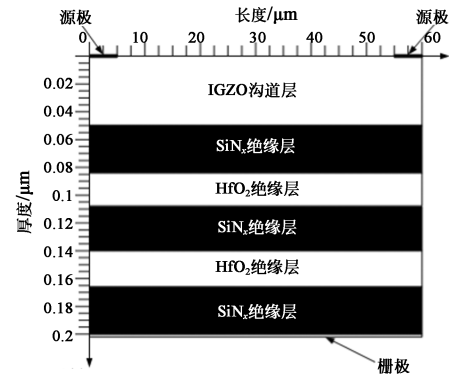


图 12 绝缘层为 SiN_x 33.3 nm/HfO₂ 25nm/SiN_x 33.3 nm/HfO₂ 25 nm/SiN_x 33.3 nm 的 TFT 结构图 (V)

Fig.12 Diagram of the TFT structure with theSiN_x 33.3 nm/HfO₂ 25 nm/SiN_x 33.3 nm/HfO₂ 25 nm/SiN_x 33.3 nm insulation layer (V)

不对称结构,图 12 中绝缘层设计为 SiN_x 33.3 nm/HfO₂ 25 nm/SiN_x 33.3 nm/HfO₂ 25 nm/SiN_x 33.3 nm 的五层不均匀结构,图 13 绝缘层设计为 SiN_x 30 nm/HfO₂ 30 nm/SiN_x 30 nm/HfO₂ 30 nm/SiN_x 30 nm 的五层均匀结构。将以上 5 种器件分别编号为器件Ⅱ、Ⅲ、Ⅳ、Ⅴ和Ⅵ。

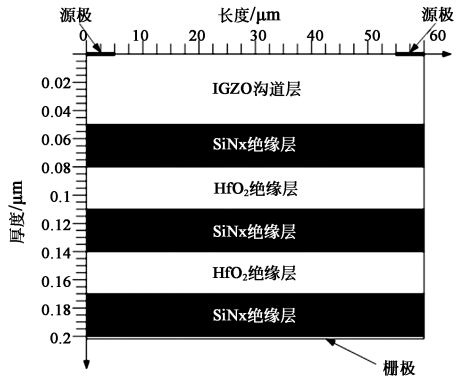


图 13 绝缘层为 SiN_x 30 nm/HfO₂ 30nm/SiN_x 30 nm/HfO₂ 30 nm/SiN_x 30 nm 的 TFT 结构图 (VI)

Fig.13 Diagram of the TFT structure with theSiN_x 30 nm/HfO₂ 30 nm/SiN_x 30 nm/HfO₂ 30 nm/SiN_x 30 nm insulation layer (VI)

对以上 5 种结构的器件利用 ATLAS 组件仿真器件的电学行为,提取计算出特性参数,结果见下表 3。

由表 3 可以看出,对 SiN_x/HfO₂/SiN_x 栅绝缘层叠层结构 TFT,保持 HfO₂ 厚度 50 nm,不同厚度 SiN_x 分层的仿真结果表明,SiN_x 50 nm/

表 3 不同栅绝缘层结构的 TFT 仿真结果

Tab.3 Simulation results oftransistors with different gate insulation structure

Sample	V _{th} /V	μ(cm ² • V ⁻¹ • s ⁻¹)	I _{on} /μA	I _{off} (μA)	I _{on} /I _{off}	S(V/°)	C _{ox} (F/cm ²)
Ⅱ	4.38321	5.46910	207.607	8.25e-5	2.516e6	0.0975011	1.68e-8
Ⅲ	4.39822	5.45659	208.246	8.33e-5	2.499e6	0.0134783	1.68e-8
Ⅳ	4.39822	5.45772	208.246	8.32e-5	2.503e6	0.0695638	1.68e-8
Ⅴ	4.45565	5.34860	205.413	1.03e-5	1.994e7	0.100227	1.66e-8
Ⅵ	4.31052	5.41187	221.549	2.45e-5	9.043e6	0.0863811	1.78e-8

HfO₂/SiN_x 50 nm 的性能最优,即 SiN_x 对称结构的三层叠层 TFT 性能最好;绝缘层总厚度为 150

nm 不变,绝缘层结构调整为五层叠层结构,仿真结果为 SiN_x 30 nm/HfO₂ 30 nm/SiN_x 30 nm/

HfO₂30 nm/SiN_x30 nm 的性能更优,并且较 SiN_x50 nm/HfO₂50 nm/SiN_x50 nm 更适合做开关管。总结规律可以得到,不管绝缘层是三层叠层结构还是五层叠层结构,每层叠层厚度相同的对称结构的 TFT 性能最优。

5 结 论

基于半导体仿真软件 Silvaco TCAD 对多种 TFT 结构进行了仿真,并与实验结果进行

对比分析,结果表明,含有高 k 材料的栅绝缘层叠层结构较单一 SiN_x 绝缘层结构的 TFT 性能更优;对 SiN_x/HfO₂/SiN_x 栅绝缘层叠层结构 TFT,随着高 k 材料 HfO₂厚度的增加,TFT 器件阈值电压增加,载流子迁移率下降,开关电流比减小,亚阈值摆幅增加,栅电容减小,权衡各项因素,HfO₂取 40nm 较为合适;对含有高 k 材料的 3 层和 5 层绝缘叠层结构 TFT 的仿真结果表明,各叠层厚度相同的对称结构 TFT 性能最优。

参考文献:

- [1] KAGAN C R, ANDRY P. *Thin-Film Transistors*[M]. The United Kingdom: CRC Press, 2003: 1.
- [2] 翁寿松.高 K 绝缘层研究动态[J].微纳电子技术,2005,42(5):220-223,248.
WENG S S. Recent researching trends in the high-K insulating layer[J]. *Micronanoelectronic Technology*, 2005, 42(5): 220-223, 248. (in Chinese)
- [3] 魏勤香. HfO₂高介电常数栅介质薄膜的制备及其电学性能的研究[D]. 武汉:湖北大学,2011.
WEI Q X. The preparation and electrical properties of HfO₂ high-K gate dielectric thin films[D]. Wuhan: Hubei University, 2011. (in Chinese)
- [4] 韩德栋,康晋锋,杨红,等.超薄 HfO₂高 K 栅介质薄膜的软击穿特性[J].固体电子学研究与进展,2005,25(2): 157-159.
HAN D D, KANG J F, YANG H, *et al.* Soft breakdown characteristics of ultra-thin high-K HfO₂ gate dielectrics [J]. *Research & Progress of SSE*, 2005, 25(2): 157-159. (in Chinese)
- [5] GUO D Y, WU Z P, AN Y H, *et al.* Unipolar resistive switching behavior of amorphous gallium oxide thin films for nonvolatile memory applications[J]. *Applied Physics Letters*, 2015, 106(4): 042105.
- [6] 唐龙谷.半导体工艺和器件仿真软件 Silvaco TCAD 实用教程[M].北京:清华大学出版社,2014:5.
TANG L G. *Semiconductor Craft and Device Simulation Software Silvaco TCAD*[M]. Beijing: Tsinghua University Press, 2014: 5. (in Chinese)
- [7] 龚炽昌.不均匀介质相对介电常数和介质损耗角正切的计算[J].电工技术学报,1987(2):53-60,44.
GONG Z C. Calculation for relative dielectric constant and dielectric loss tangent of heterogeneous dielectric[J]. *Transactions of China Electrotechnical Society*, 1987(2): 53-60, 44. (in Chinese)
- [8] NEAMEN D A. *Semiconductor Physics and Devices: Basic Principles*[M]. The United States: The McGraw-Hill Companies, Inc. 2003: 317-318, 327-328, 346-347.
- [9] 乔敏.基于 TFT 器件仿真的 AMOLED 像素电路研究[D].西安:西安交通大学,2014.
QIAO M. The research of AMOLED pixel circuit based on TFT device simulation[D]. Xi'an: Xi'an Jiaotong University, 2014. (in Chinese)

作者简介:李欣予(1992—),女,陕西西安人,硕士研究生,从事薄膜晶体管方面的研究,E-mail:lixinyu_2016@139.com

吴胜利(1964—),男,陕西西安人,教授、博导,从事平板显示器件与技术、信息显示系统设计与实现、薄膜晶体管技术的研究,E-mail:slwu@mail.xjtu.edu.cn